

REF AP

(54) ELECTRONIC DEVICE

(11) 62-263663 (A) (43) 16.11.1987 (19) JP

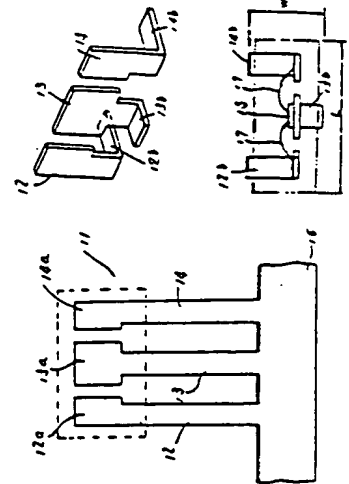
(21) Appl. No. 61-106644 (22) 12.5.1986

(71) HITACHI TOBU SEMICONDUCTOR LTD(1) (72) YOSHIJI KODAIRA

(51) Int. Cl. H01L23/48, H01L23/28, H01L23/50

PURPOSE: To reduce a mounting area by forming a package for an electronic device such as a transistor and an IC in longitudinal structure while an external connecting terminal is shaped to the same surface as one side surface having a small plane area in the one side surface.

CONSTITUTION: Each external connecting terminal 12~14 is all extended in the same direction, and connected to one outer frame 16, thus economizing the area of a copper plate only by at least one outer frame section, then reducing cost. The external connecting terminals 12~14 are cut from the outer frame 16, and press-worked. That is, the manufacturing process of the external connecting terminals 12~14 is shortened, thus curtailing cost. The external connecting terminals 12~14 have relationship in which both cross at right angles, and a transistor having a package shaped in longitudinal structure to a mounting surface on mounting is formed when a sealing body is shaped along a vertical section.



250/116

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭62-263663

⑮ Int. Cl.

識別記号

庁内整理番号

⑰ 公開 昭和62年(1987)11月16日

H 01 L 23/48
23/28
23/50

P-7735-5F
A-6835-5F
R-7735-5F

審査請求 未請求 発明の数 1 (全7頁)

⑱ 発明の名称 電子装置

⑲ 特 願 昭61-106644

⑳ 出 願 昭61(1986)5月12日

㉑ 発 明 者 小 平 好 二 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

㉒ 出 願 人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

電子装置

2. 特許請求の範囲

1. 封止体によって封止される半導体チップと、一端が上記封止体内において上記半導体チップにワイヤを介して電気的に接続され、かつ、他端が上記封止体の一側面から上記封止体外に延長された複数の外部接続端子と、その実装面に対し垂直構造に形成された上記封止体と、を具備し上記複数の外部接続端子は上記封止体の一側面に面一になること特に曲り部を有することを特徴とする電子装置。

2. 上記複数の外部接続端子は、上記封止体の一側面の部分より突出し、隣接する外部接続端子の延在方向は異なっていることを特徴とする特許請求の範囲第1項記載の電子装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、トランジスタ、半導体集積回路等の

電子装置に関し、特に実装密度を向上させる際に利用して有効な技術に関するものである。

〔従来の技術〕

上記電子装置の封止体、換言すればパッケージには各種の形状のものがある。『Solid State technology日本版』(September 1982, pp 69~77)には、ICパッケージングの動向と題して、各種パッケージの形状が記載されている。

その概要は、平板状のパッケージの周面に外部接続端子を設けるか、或いはパッケージの下面に外部接続端子を設けたものである。

本発明者は、上記電子装置の実装密度を向上させるべく種々の技術的検討を行った。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

第9図は、トランジスタに適用されるリードフレーム1の一例を示すものであり、2、3は本体を示し、4~6は外部接続端子となる。そしてAは半導体チップが固定される位置を示し、点線で

示した枠はパッケージの大きさを示すものである。

上記外部接続端子4～6は第10図のように折り曲げられ、パッケージされたときの平面形状は、第11図のようになる。なお、記入された寸法は、トランジスタの電力損失等を勘案して決定された大きさの一例を示すものである。

〔発明が解決しようとする問題点〕

すなわち、上記平面形状から明らかなように、パッケージの2側面に形成された外部接続端子が外側方向に折り曲げられている。実装時には、上記外部接続端子を回路パターン上に設置し、半田付けするのであるから、実装面積としては外部接続端子4～6の長さ分を見込んだものが必要になる。上記寸法によれば一辺が2.8mmであるから、実装に必要な面積は最小で7.84mm²になる。

一方、VTRやTVのチューナ等では、コイル等が多用されているので、実装面積は縮小したいものの、コイルの高さ分によって高さ方向のスペースに余裕がある場合がある。このような状態を考えると、上記トランジスタを縦長構造にすれば、

に上記封止体を縦長構造に実装する一の側面に上記封止体と実質的に同一平面となる外部接続端子を形成し、この外部接続端子をプリント基板の回路パターンに接触せしめて実装するものである。

〔作用〕

上記した手段によれば、封止体の一の側面に形成された外部接続端子を回路パターンに半田付け等により実装すると、この面に外部接続端子が形成されているので、上記封止体外に延長された外部接続端子がなく、この分実装面積が低減される上に、封止体が縦長に実装されるので、平板状に実装される場合に比較して更に実装面積を低減することができる。トランジスタ、IC等の実装面積を低減する、という本発明の目的を達成することができる。

〔実施例-1〕

以下、第1図～第5図を参照して本発明を適用した電子装置の第1実施例を説明する。

本実施例の特徴は、トランジスタをパッケージを縦長構造になし、実装密度を低減したことにあ

る。実装面積を小くして、必要なトランジスタ、IC等を実装することができる。

換言すれば、電子装置の体積を減えず、面積を縮小すれば実装密度を向上し得ることになる。

そして、パッケージの外側方向に突出している外部接続端子をパッケージ外に突出しない形状にすれば、実装面積はパッケージの大きさに縮小し得ることに気づいた。しかもパッケージは実装面に対し平板状にせず、縦長形状にすれば、実装面積を更に縮小し得ることに気づいた。

本発明の目的は、実装面積を低減したトランジスタ、IC等の電子装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書および添付図面から明らかなるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記のとおりである。

すなわち、封止体を縦長構造に形成し、実装時

る。

第1図はリードフレームの形状を示すものであり、銅版等からなるリードフレーム11には、プレス加工によって外部接続端子12、13、14が形成される。外部接続端子13の先端部13aには、第3図に示すように半導体チップ15が固定され、他の外部接続端子12、14の各先端部12a、14aはインナーリードとなる。なお、第1図に示す点線内が樹脂封止される部分すなわち、パッケージの大きさを示すものである。

上記リードフレーム11について注目すべきことは、上記第9図との対比で明らかなように、各外部接続端子12～14が全て同一方向に延長され、1つの外枠16に接続されていることである。この結果、銅版の面積を少なくとも1つの外枠分だけ節約することができ、低コスト化が可能になる。

上記外部接続端子12～14は、外枠16から切断され、第2図に示すようにプレス加工される。上記第10図と比較すると、本実施例における外

部接続端子12~14の折り曲げが1箇所であるのに対し、上記外部接続端子2~4は2箇所について折り曲げられている。

すなわち、本実施例に示す外部接続端子12~14は、加工工程が短縮されているので、コスト低減が可能になる。

外部接続端子13の垂直部には、第3図に示すように半導体チップ15が固定され、更に外部接続端子の12、14の垂直部と半導体チップ16とはボンディングワイヤ17によって接続される。

外部接続端子12~14の下部折り曲げ部12b、13b、14bと垂直部とはほぼ直角であり、下部折り曲げ部12b~14bの下面が後述する回路パターンとの半田づけ面になる。

すなわち、第10図に示した外部接続端子2~4は、半田づけ面と半導体チップの取り付け面とが平行であるのに対し、本実施例に示す外部接続端子12~14は両者が直交する関係にある。したがって、垂直部に沿うように対止体を形成すれば、実装時に実装面に対し、縦長構造となるパ

ッケージPの側面Paと実質的に面一になっている。側面Paには、第5図に示すように、実装時にトランジスタQを位置決め、固定するための接着剤18が塗布される。上記折り曲げ部12b~14bは、プリント基板21に形成された回路パターン22上に接触するように位置決めされ、接着剤18によって固定される。次いで半田付けされる。

したがって、上記構造のトランジスタQによれば、パッケージPが縦長構造に形成され、しかも外部接続端子12~14がパッケージの横方向に突出していないため、実装面積が大幅に低減される。しかもパッケージPの体積は、上記検討例と同一であることから、電力損失は同一にすることができる。

上記実施例で示したトランジスタQは下記の如き効果を奏する。

(1) トランジスタパッケージの平面面積の最も小さな側面に外部接続端子を形成し、しかも上記外部接続端子のパッケージ外への突出部分を無くし

ケージのトランジスタが形成されることになる。

第4図は、上記のようにして得られたトランジスタQの外形を示すものであり、説明の便宜のため外部接続端子12~14を上部にして図示した。

パッケージPの上記折り曲げ部12b~14bが露出する面は、本発明でいう一の側面に相当するものである。ここで両者の形状の相違について述べると、パッケージPの高さHと長さLとで決定される面積が第11図に示すパッケージの大きさに相当する。そして横幅Wは、第10図および第11図に示すトランジスタのパッケージの高さ(図示せず)に相当し、しかも外部接続端子4~6の延長した部分がない。実装面積は第3図に示すように、大幅に低減されたものになる。

因に、長さLが上記検討例同様に2.8mmとすると、横幅Wは1.3mm程度にすることができ、実装面積は両者の積により3.64mm²になる。上記検討例の実装面積は7.84mm²であるからほぼ1/2にすることができた。

第4図に示すように、各外部接続端子の折り曲

たので、トランジスタの実装面積を低減する、という効果が得られる。

(2) 上記(1)により、電子機器の実装密度を向上し得る、という効果が得られる。

(3) 上記(2)により、電子機器の小型化が容易になる、という効果が得られる。

(4) トランジスタのパッケージを縦長構造にして実装し得るので、パッケージの体積を小さくする必要がなく、トランジスタの電力損失等が制約されない、という効果が得られる。

(5) 外部接続端子の折り曲げ部をパッケージの側面と実質的に同一平面とし、上記折り曲げ部を回路パターン上に接触せしめて、接着剤により位置決め、固定ができるようにしたことにより、トランジスタの自動実装、自動実装が可能になる、という効果が得られる。

以上に本発明をトランジスタに適用した一実施例を説明したが、パッケージの形状は上記実施例に限定されるものではない。

〔実施例-2〕

次に、第6図を参照して本発明の第2実施例を説明する。

なお、本実施例と上記第1実施例との相違点は、外部接続端子の折り曲げ部とパッケージの面一部との面積を大にしたことにある。

第6図に示すように、パッケージPの一側面には、折り曲げ部12b~14bと同一平面の面一部Paが3箇所になつて形成されている。

したがって接着剤18の塗布は1箇所に限定されない。

更に、折り曲げ部12b~14bが、上記面一部Paの段差部に沿って位置決めされ、不所望な折れ曲がりを低減することができる。

依って、本実施例に示すトランジスタQは、上記第1実施例と同様の効果を有するうえに、下記の効果を奏する。

(6) パッケージの一側面で、実装時に接着剤が塗布される面積が大になされ、接着剤塗布の位置が限定されないので、実装時の作業効率を向上させることができる、という効果が得られる。

なお、上記各実施例は、本発明をトランジスタに適用したものであるが、半導体集積回路(以下においてICという)にも適用することができる。

〔実施例-4〕

次に、第8図を参照して本発明の第4実施例を説明する。

本実施例と上記実施例との相違点は、本発明をICに適用したことにある。

第8図はIC31の外形を示すものであり、パッケージPの一側面Paには、外部接続端子となる折り曲げ部33が交互に設けられている。折り曲げ部33の上記構造は、多数の外部接続端子を設ける場合に好都合である。上記パッケージPは、横幅Wに対し高さHが大であり、本発明でいう縦長構造に形成されている。

折り曲げ部33は、パッケージPの周側から外部方向に突出していない。したがってIC31の実装面積は、 $W \times L$ によって決定される。

本実施例に示すIC31は、下記の如き効果を奏する。

〔実施例-3〕

次に、第7図を参照して本発明の第3実施例を説明する。

本実施例と上記各実施例との相違点は、1個のパッケージ内に2個のトランジスタを構成したことにある。

折り曲げ部12b~14bは、それぞれ2個のトランジスタの外部接続端子となり、パッケージP内においてそれぞれ半導体チップに上記のように接続されているものとする。

そして各折り曲げ部12b~14bの間が面一部Paとなり、接着剤を塗布する位置が拡大される。

更に、各折り曲げ部12b~14bは、上記面一部Paによって埋め込まれたようになっているので、不所望な曲がり等がなく、実装作業を確実に行うことができるようになる。

また、1個パッケージ内に2個のトランジスタを設けたので、パッケージ全体の体積を小にすることもできる。

(7) ICの一側面に複数の外部接続端子を設けるとともに、上記外部接続端子をパッケージの側面と面一に形成し、パッケージ外への突出部が無い構造にしたので、ICの実装面積を低減する、という効果が得られる。

(8) ICのパッケージを縦長構造に形成したので、ICの実装面積を上記のように低減し得るにも関わらず、ICの体積を大にすることができ、ICの集積度を向上し得る、という効果が得られる。

以上に、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変形可能であることはいうまでもない。たとえば、第4実施例で説明した折り曲げ部33は、4列に形成されているが、外部接続端子数が少ない場合は、2列等にしてよい。この場合、パッケージの幅Wを更に小にすることができ、実装面積を更に低減することができる。また、デュアルインライン型ICに適用し、面付け実装型にすることもできる。

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるトランジスタ等に適用した場合について説明したが、それに限定されるものではなく、ハイブリッドIC等の各種ICに利用できる。

〔発明の効果〕

本図において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、トランジスタ、ICの如き電子装置のパッケージを縦長構造に形成するとともに、平面面積の小さな側面に、この側面と面一にて外部接続端子を設けることにより、上記電子装置の突張面積を低減することができ、更に回路パターンへの実装が自動的に行い得られる、等の効果がある。

4. 図面の簡単な説明

第1図～第5図は本発明を適用した電子装置の第1実施例を示すものであり、

第1図はリードフレームの平面図、

22…回路パターン、Q…トランジスタ、P…パッケージ、W…パッケージの幅、H…パッケージの高さ、L…パッケージの長さ、Pa…パッケージの一側面。

代理人 弁理士 小川 勝 男

第2図は外部接続端子の構造を示す斜視図、

第3図は半導体チップを固定した状態を示す外部接続端子の平面図、

第4図は上記電子装置の形状を示す斜視図、

第5図は上記電子装置の突張状況を示す要部の断面図、

第6図は本発明の第2実施例を示す電子装置の斜視図、

第7図は本発明の第3実施例を示す電子装置の斜視図、

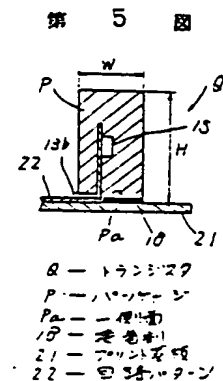
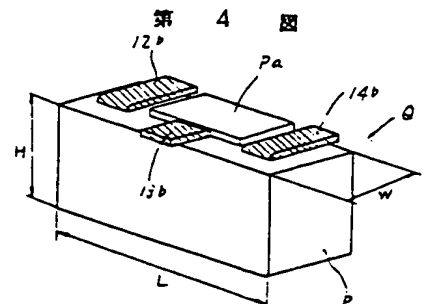
第8図は本発明の第4実施例を示すICの斜視図、

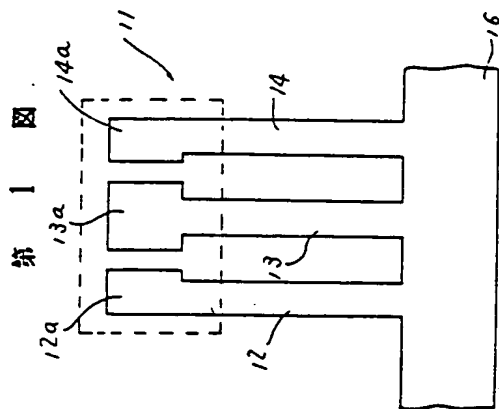
第9図は本発明に先立って検討された電子装置のリードフレーム構造を示す平面図、

第10図は外部接続端子の構造を示す斜視図、

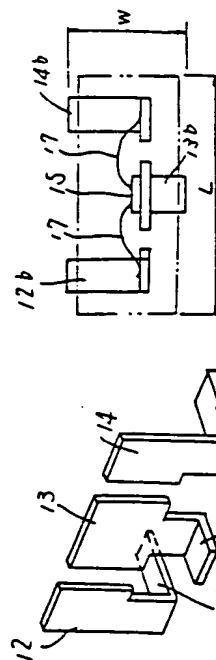
第11図は上記外部接続端子の平面図をそれぞれ示すものである。

11…リードフレーム、12～14…外部接続端子、12b～14b…折り曲げ部、15…半導体チップ、18…接着剤、21…プリント基板、

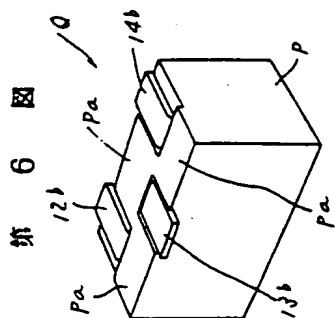




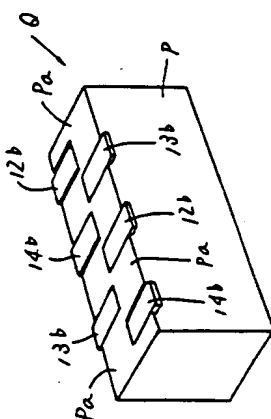
第 2 図 第 3 図



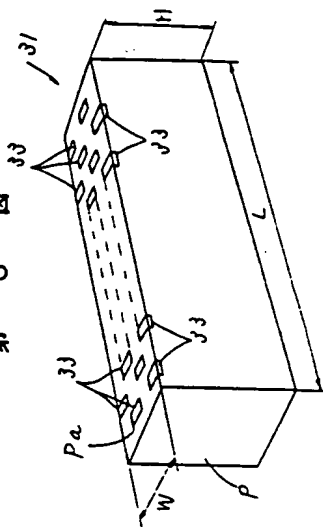
11 - リードフレーム
12~14 - 外部接続端子
12b~14b - 内部接続部
15 - 導体チップ

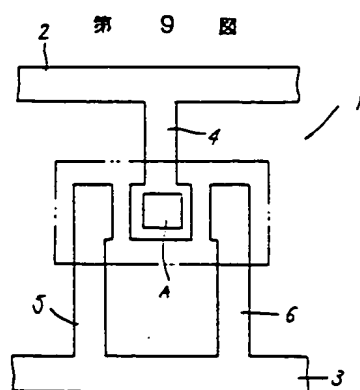


第 7 図

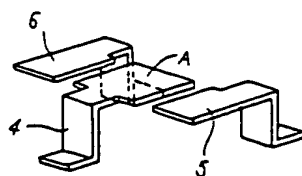


第 8 図





第 10 図



第 11 図

